

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

015676643 **Image available**

WPI Acc No: 2003-738830/200370

XRPX Acc No: N03-591378

Organic electroluminescence display device used in e.g. mobile telephone,
suitably changes connection state of transistors into parallel or series
state

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2003263130	A	20030919	JP 200264532	A	20020308	200370 B

Priority Applications (No Type Date): JP 200264532 A 20020308

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2003263130	A		22 G09G-003/30	

Abstract (Basic): JP 2003263130 A

NOVELTY - The display device suitably changes the connection state
of the transistors into parallel connection when reading a pixel data,
and into series connection when making the organic light emitting
diodes to emit light during reverse biased conditions.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for the
following:

- (1) light emitting device; and
- (2) electronic device.

USE - For electronic devices (claimed) such as mobile telephone,
personal digital assistant, television and PC.

ADVANTAGE - Eliminates non-uniformity of brightness of the display
screen, thereby improving the display quantity.

DESCRIPTION OF DRAWING(S) - The figure shows the schematic view of
the display device and the light emitting device. (Drawing includes
non-English language text).

pp; 22 DwgNo 2/14

Title Terms: ORGANIC; ELECTROLUMINESCENT; DISPLAY; DEVICE; MOBILE;

TELEPHONE; SUIT; CHANGE; CONNECT; STATE; TRANSISTOR; PARALLEL;
SERIES; STATE

Derwent Class: P85; T04; U14; W01; W03; X26

International Patent Class (Main): G09G-003/30

International Patent Class (Additional): G09G-003/20; H05B-033/14

File Segment: EPI; EngPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-263130

(P2003-263130A)

(43) 公開日 平成15年9月19日 (2003.9.19)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
3/20	6 1 1	3/20	6 1 1 H 5 C 0 8 0
	6 2 4		6 2 4 B
	6 4 1		6 4 1 D
	6 4 2		6 4 2 A
審査請求 未請求 請求項の数 8 O L (全 22 頁) 最終頁に続く			

(21) 出願番号 特願2002-64532(P2002-64532)

(22) 出願日 平成14年3月8日 (2002.3.8)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 犬飼 和隆

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 渡辺 康子

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 瀬尾 哲史

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

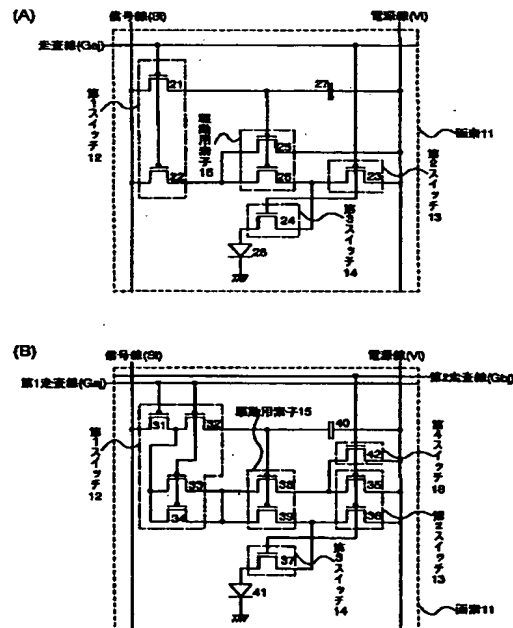
最終頁に続く

(54) 【発明の名称】 表示装置、発光装置及び電子機器

(57) 【要約】

【課題】 O L E D 素子駆動電流のバラつきが十分に抑制された A M 型 O L E D 表示装置を提供することを課題とする。

【解決手段】 本発明は、画素にデータ電流を読込むときには該複数のトランジスタを並列接続状態にし、自発光素子を発光させるときには該複数のトランジスタを直列接続状態にする。その結果、同一画素内の駆動用素子を構成する複数のトランジスタ間にバラつきが存在しても、その影響は小さく抑制されるため、実用上問題となるほど画素間で発光輝度がバラついてしまうことは防止することができる。



【特許請求の範囲】

【請求項1】自発光素子と、
複数のトランジスタと、
前記複数のトランジスタのそれぞれを直列又は並列に接続状態を切り替える手段と、
前記自発光素子に逆方向バイアスの電圧を供給する供給手段とを有する画素が備えられていることを特徴とする表示装置。

【請求項2】第1及び第2の電極を有する自発光素子と、
各ゲート電極が共通に接続された n 個（ n は2以上の自然数）のトランジスタとを有する駆動手段とが備えられた画素が設けられた発光装置であって、
前記画素に入力されるビデオ信号の同期タイミングに対応して前記 n 個のトランジスタの各ソース・ドレイン間を直列に接続して電流 I_s を流し、前記ビデオ信号に応じて前記 n 個のトランジスタの各ソース・ドレイン間を並列に接続して前記自発光素子に電流 I_e を流す設定手段と、

前記同期タイミングに対応する単位フレーム期間の所定の期間に対し、前記第1又は前記第2の電極の電位を変化させて、前記自発光素子に逆方向バイアスの電圧を供給する供給手段とを有することを特徴とする発光装置。

【請求項3】第1及び第2の電極を有する自発光素子と、

各ゲート電極が共通に接続された n 個（ n は2以上の自然数）のトランジスタとを有する駆動手段とが備えられた画素が設けられた発光装置であって、

前記画素に入力されるビデオ信号の同期タイミングに対応して前記 n 個のトランジスタの各ソース・ドレイン間を直列に接続して電流 I_s を流し、前記ビデオ信号に応じて前記 n 個のトランジスタの各ソース・ドレイン間を並列に接続して前記自発光素子に電流 I_e を流す設定手段と、

前記同期タイミングに対応する単位フレーム期間の所定の期間に対し、前記自発光素子の各々の発光期間が所定の発光期間に達したときに前記自発光素子の各々の発光を停止せしめる消去手段と、

前記フレーム期間の所定の期間に対し、前記第1又は前記第2の電極の電位を変化させて、前記自発光素子に逆方向バイアスの電圧を供給する供給手段とを有することを特徴とする発光装置。

【請求項4】第1及び第2の電極を有する自発光素子と、

各ゲート電極が共通に接続された n 個（ n は2以上の自然数）のトランジスタとを有する駆動手段とが備えられた画素が設けられた発光装置であって、

前記画素に入力されるビデオ信号の同期タイミングに対応して前記 n 個のトランジスタの各ソース・ドレイン間を直列に接続して電流 I_s を流し、前記ビデオ信号に応じ

て前記 n 個のトランジスタの各ソース・ドレイン間を並列に接続して前記自発光素子に電流 I_e を流す設定手段と、

前記同期タイミングに対応する単位フレーム期間の所定の期間に対し、前記第1又は前記第2の電極の電位はそのまま、前記自発光素子に逆方向バイアスの電圧を供給する供給手段とを有することを特徴とする発光装置。

【請求項5】第1及び第2の電極を有する自発光素子と、

10 各ゲート電極が共通に接続された n 個（ n は2以上の自然数）のトランジスタとを有する駆動手段とが備えられた画素が設けられた発光装置であって、

前記画素に入力されるビデオ信号の同期タイミングに対応して前記 n 個のトランジスタの各ソース・ドレイン間を直列に接続して電流 I_s を流し、前記ビデオ信号に応じて前記 n 個のトランジスタの各ソース・ドレイン間を並列に接続して前記自発光素子に電流 I_e を流す設定手段と、

20 前記同期タイミングに対応する単位フレーム期間の所定の期間に対し、前記自発光素子の各々の発光期間が所定の発光期間に達したときに前記自発光素子の各々の発光を停止せしめる消去手段と、

前記フレーム期間の所定の期間に対し、前記第1又は前記第2の電極の電位はそのまま、前記自発光素子に逆方向バイアスの電圧を供給する供給手段とを有することを特徴とする発光装置。

【請求項6】請求項2乃至請求項5のいずれか一項において、

30 前記電流 I_s と前記電流 I_e は、 $I_s = n^2 \times I_e$ を満たすことを特徴とする発光装置。

【請求項7】請求項1又は請求項2に記載の前記表示装置を備えていることを特徴とする電子機器。

【請求項8】請求項3乃至請求項6のいずれか一項に記載の前記発光装置を備えていることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、発光装置及び表示装置の技術に関する。さらには、前記発光装置又は前記表示装置を搭載した電子機器に関する。本明細書における発光装置とは、自発光素子から放出される光を利用した装置を指す。自発光素子としては、有機発光ダイオード（OLED）素子、無機材料系の発光ダイオード素子、電界放出発光素子（FED素子）などを示す。また本明細書における表示装置とは、複数の画素をマトリクス状に配置し画像情報を視覚的に伝達する装置、いわゆるディスプレイを示す。

【0002】

【従来の技術】近年、画像の表示を行う表示装置の重要性が増している。表示装置としては、液晶素子を用いて

画像の表示を行う液晶表示装置が、高画質、薄型、軽量などの利点を活かして、携帯電話やパソコンをはじめとする種々の用途の表示装置として幅広く用いられている。

【0003】他方で、自発光素子を用いた表示装置、発光装置の開発も進められている。この自発光素子には、有機材料、無機材料、薄膜材料、バルク材料、又は分散材料など広汎に渡って様々な種類の素子が存在する。

【0004】上記自発光素子のうち、有機発光ダイオード(OLED)素子は、表示装置向けに将来有望視されている。OLED素子を自発光素子として用いたOLED表示装置は、既存の液晶表示装置以上に薄型、軽量である特長に加え、動画表示に適した高応答速度、高視野角、低電圧駆動などの特長を有しているため、携帯電話や携帯情報端末(PDA)をはじめテレビ、モニターなど、幅広い用途が見込まれている。その結果、OLED表示装置は、次世代ディスプレイとして注目されている。

【0005】特にアクティブマトリクス(以下、AMと表記)型のOLED表示装置は、パッシブマトリクス(以下、PMと表記)型では困難である、高精細で且つ大画面での表示も可能であるうえ、PM型を上回る低消費電力で高信頼性を有しているため、実用化への期待は大変強い。

【0006】OLED素子は、陽極と、陰極と、該陽極と該陰極との間に挟まれた有機化合物層とを有する構造をしている。そして、OLED素子に流れる電流量と、OLED素子の発光輝度は概ね比例する関係にある。AM型OLED表示装置が有する画素では、該画素のOLED素子の発光輝度を制御する駆動用トランジスタを該OLED素子に直列に接続している場合が多い。

【0007】ところで、AM型OLED表示装置において画像を表示する駆動方式には、大別して電圧入力方式と電流入力方式がある。前者の電圧入力方式は、画素に入力するビデオ信号として、電圧値形式データのビデオ信号を入力する。また後者の電流入力方式は、画素に入力するビデオ信号として、電流値形式データのビデオ信号を入力する。

【0008】電圧入力方式では、通常画素の駆動用トランジスタのゲート電極にビデオ信号の電圧が直接印加される。従って、OLED素子を定電流発光させる場合、駆動用トランジスタの電気的特性が各々の画素間で均一でなくバラつきを有していると、各画素のOLED素子駆動電流にバラつきが生じる。OLED素子駆動電流のバラつきは、OLED素子の発光輝度のバラつきとなる。つまり、OLED素子の発光輝度のバラつきは、画面全体でみると砂嵐状あるいは絨毯模様のムラとして、表示画像の品位を低下させる。

【0009】そこで、電圧入力方式におけるOLED素子駆動電流のバラつきを抑制するための有効な手段の一

つとして電流入力方式がある。電流入力方式では、通常ビデオ信号のデータ電流値を記憶し、前記記憶した電流値と同一、又は数倍(1未満を含む正の実数倍)の電流をOLED素子駆動電流として供給する。

【0010】電流入力方式のAM型OLED表示装置の画素回路の代表的な例を図10(A)に示す(A. Yumoto et al., Proc. Asia Display / IDW '01 p.p.1395-1398 (2001)等を参照)。図10(A)において、516がOLED素子である。また図10(A)に示す画素回路は、カレントミラー回路を有する。そこで、カレントミラー回路を構成する2つのトランジスタが同一の電気的特性さえ備えていれば、ビデオ信号のデータ電流値を正確に記憶することができる。仮に相異なる画素の駆動用トランジスタの電気的特性にバラつきが生じていても、同一画素内の前記2つのトランジスタが、各々同一の電気的特性を備えていれば、OLED素子の発光輝度のバラつきが抑制されることになる。

【0011】次いで、図10(A)とは異なる電流入力方式のAM型OLED表示装置の画素回路の例を図10(B)に示す(I. M. Hunter et al., Proc. AM-LCD 2000 p.p.249-252 (2000)等を参照)。図10(B)において、611がOLED素子である。また図10(B)に示す画素回路は、駆動用トランジスタのゲート電極にビデオ信号に対応する電圧を書込むときに、駆動用トランジスタのドレイン電極とゲート電極とが短絡する。その状態でビデオ信号のデータ電流を流して、その後ゲート電極を電気的に絶縁させる。このとき、OLED素子を発光させるときに、駆動用トランジスタを飽和領域にて動作させるようにすれば、駆動用トランジスタは、書き込み時のデータ電流と同一の値の電流をOLED素子に供給する。従って、各画素の駆動用トランジスタに電気的特性のバラつきが存在しても、OLED素子の発光輝度のバラつきは抑制されることになる。

【0012】

【発明が解決しようとする課題】図10(A)(B)に示す画素は、上述したように正確にデータ電流値を記憶できるはずであるが、以下のような深刻な問題がある。

【0013】まず、図10(A)の画素回路における問題点は、カレントミラーを構成する二つのトランジスタが同一の電気的特性もつことが、前提条件とされていることである。画素回路の設計時に工夫すれば、両トランジスタを基板上に隣り合わせに作製することも可能であるため、ある程度はバラつきを減少させることが出来る。しかしながら、ポリシリコンで作成されたトランジスタは、結晶粒界における欠陥等に起因して、TFTのしきい値電圧や電界効果移動度等の電気的特性に、なお許容限度を超えるバラつきが残存してしまう。

【0014】ここで、より具体的に64階調の画像を表示する場合を例に挙げて説明する。64階調の画像を表示する場合には、自発光素子の輝度のバラつきは1%以

内程度に抑える必要が生じる。しかし図10(A)の画素回路では、データ電流値を1%の精度で記憶することは、現在普通に使用されるポリシリコンでは困難である。すなわち、図10(A)の画素回路を使うのみでは、画面全体でムラがなく、十分に均一な高品位の表示画像を得ることはできない。

【0015】次いで、図10(B)の画素回路における問題点は、画素に書込むビデオ信号データ電流と、OLED素子を発光させるときのOLED素子駆動電流とが、同一の値になってしまう点である。AM型OLED表示装置を作製する場合、両電流を同一の値としなくてはならないという点は、事実上はかなり厳しい制約となる。

【0016】これは、AM型OLED表示装置において、信号線等に多量の寄生容量、寄生抵抗がついてしまうことによるものである。多量の寄生容量、寄生抵抗がついてしまうと、ビデオ信号データ電流はOLED素子駆動電流よりも大きくする措置をとることが必要な場合が少なからず生じる。特に、ビデオ信号データ電流をアナログ値にして階調表現する場合には、暗部のビデオ信号データ電流の書込みが非常に困難となる。

【0017】本発明は上記問題点の存在に鑑みてなされたものである。まず本発明は、図10(B)の画素回路とは異なり、画素に書込むビデオ信号データ電流と、OLED素子を発光させるときのOLED素子駆動電流との比が「1」に固定されないAM型OLED表示装置を提供することを課題とする。次に本発明は、図10

(A)の画素回路とは異なり、同一画素内の隣接設置されたトランジスタ間においても、なお電気的特性のバラつきがある程度残存することを前提とする。その上で本発明は、図10(A)のようなカレントミラーを用いた画素回路の場合と比較して、OLED素子駆動電流のバラつきが十分に抑制されたAM型OLED表示装置を提供することを課題とする。

【0018】また、自発光素子は有機化合物層の劣化によって生じる信頼性等の低さが問題となっている。そこで本発明は、自発光素子の信頼性の問題を改善した表示装置、発光装置を提供することを課題とする。

【0019】

【課題を解決するための手段】上記課題を解決するために、本発明はAM型表示装置または発光装置において、各画素に設置される駆動用素子を複数のトランジスタにより構成し、画素にデータ電流を読込むときには該複数のトランジスタを並列接続状態にし、自発光素子を発光させるとときには該複数のトランジスタを直列接続状態にすることを特徴としている。

【0020】なおOLED素子以外の素子を用いた表示装置、発光装置であっても、電流駆動型の素子を用いる場合には、本発明の構成が利用できる。

【0021】また本発明は、上記課題を解決するため

に、一定の期間ごとに発光時とは逆の極性の駆動電圧（逆方向バイアス電圧）を発光素子に印加することを特徴としている。これは、逆の極性の駆動電圧を発光素子に印加すると、発光素子の電流－電圧特性のバラつきが改善されることを利用したものである。

【0022】本発明は、第1及び第2の電極を有する自発光素子と、各ゲート電極が共通に接続された n 個（ n は2以上の自然数）のトランジスタとを有する駆動手段とが備えられた画素が設けられた発光装置であって、前記画素に入力されるビデオ信号の同期タイミングに対応して前記 n 個のトランジスタの各ソース・ドレイン間を直列に接続して電流 I_s を流し、前記ビデオ信号に応じて、前記 n 個のトランジスタの各ソース・ドレイン間を並列に接続して前記自発光素子に電流 I_d を流す設定手段と、前記ビデオ信号の同期タイミングに対応する単位フレーム期間の所定の期間に対し、前記第1又は前記第2の電極の電位を変化させて、前記自発光素子に逆方向バイアスの電圧を供給する供給手段とを有することを特徴とする。

【0023】本発明は、第1及び第2の電極を有する自発光素子と、各ゲート電極が共通に接続された n 個（ n は2以上の自然数）のトランジスタとを有する駆動手段とが備えられた画素が設けられた発光装置であって、前記画素に入力されるビデオ信号の同期タイミングに対応して、前記 n 個のトランジスタの各ソース・ドレイン間を直列に接続して電流 I_s を流し、前記ビデオ信号に応じて、前記 n 個のトランジスタの各ソース・ドレイン間を並列に接続して前記自発光素子に電流 I_d を流す設定手段と、前記ビデオ信号の同期タイミングに対応する単位フレーム期間の所定の期間に対し、前記自発光素子の各々の発光期間が所定の発光期間に達したときに前記自発光素子の各々の発光を停止せしめる消去手段と、前記フレーム期間の所定の期間に対し、前記第1又は前記第2の電極の電位を変化させて、前記自発光素子に逆方向バイアスの電圧を供給する供給手段とを有することを特徴とする。

【0024】なお前記設定手段とは、画素へのビデオ信号の入力を制御するトランジスタに相当し、より具体的には図1における第1スイッチ12と、第2スイッチ13に相当する。また前記設定手段とは、前記画素を駆動する信号線駆動回路、走査線駆動回路又はコントロール回路に相当する。さらに、前記駆動手段とは、画素における駆動用トランジスタに相当する。前記駆動用トランジスタは、前記自発光素子を駆動する役目を担っており、多くの場合において、自発光素子に直接接続されているトランジスタを指す。最後に前記消去手段とは、自発光素子の発光を停止せしめる機能を有し、具体的には図1における第4スイッチ18に相当する。

【0025】ここで、本発明の表示装置または発光装置の画素構成の概略について、図1(A)(B)を用いて

説明する。図1(A)には、複数の画素を有する画素部において、 i 行 j 列目に配置された画素11を示す。画素11は、信号線(Si)、電源線(Vi)、第1走査線(Gaj)、スイッチング機能を有する第1スイッチ12～第3スイッチ14、駆動用素子15、容量素子16、自発光素子17を有する。なお、図1(A)(B)で容量素子16が設置されているノードの寄生容量が大きい場合などには、容量素子16は必ずしも設けなくてよい。

【0026】また、自発光素子17の第1又は第2の電極は、共通の電源である対向電源19aに接続されている。そして、本発明は、対向電源19aの電位を変化させることで、自発光素子17に逆方向バイアス電圧を印加する。

【0027】自発光素子としては、典型的にはOLED素子が該当するため、本明細書では、自発光素子を表す記号としてダイオードの記号を用いる。しかし自発光素子にダイオード特性は必須ではなく、本発明はダイオード特性をもつ自発光素子の場合に限定されない。さらに本明細書における自発光素子は、電流駆動型の表示用素子であればよく、自発光により表示機能を担う必要もない。例えば、液晶のような光シャッターの役目を担っている素子であり、且つ電圧値でなく電流値により制御される素子も、本明細書における自発光素子に含まれる。

【0028】第1スイッチ12～第3スイッチ14には、トランジスタなどのスイッチング機能を有する半導体素子を1個又は複数個用いることができる。同様に駆動用素子15にも、トランジスタなどの半導体素子を複数個用いることができる。第1スイッチ12及び第2スイッチ13は、第1走査線(Gaj)から与えられる信号により、オン又はオフが決定される。第1スイッチ12及び第2スイッチ13はスイッチとして機能すればよいので、用いられる半導体素子の導電型に特に限定はない。

【0029】なお第1スイッチ12は、信号線(Si)と駆動用素子15の間に設置されており、画素11に対する信号の書き込みを制御する役割を果たす。また第2スイッチ13は、電源線(Vi)と駆動用素子15の間に設置されており、電源線から画素11への電流の供給を制御する。

【0030】図1(B)には、図1(A)に示した画素11に、第4スイッチ18と第2走査線(Gbj)を追加して配置した場合を示す。第4スイッチ18には、トランジスタなどのスイッチング機能を有する半導体素子を1個又は複数個用いることができる。第4スイッチ18は、第2走査線(Gbj)から与えられる信号により、オン又はオフが決定される。第1スイッチ12及び第2スイッチ13はスイッチとして機能すればよいので、用いられる半導体素子の導電型に特に限定はない。

【0031】第4スイッチ18は画素11の初期化用素子としての役割を担う。そして、第4スイッチ18がオンになると、容量素子16に保持されている電荷が放出

されて、駆動用素子15はオフになり、さらに自発光素子17の発光は終了する。

【0032】本発明では、駆動用素子15を複数のトランジスタで構成し、画素11にビデオ信号のデータ電流を書込む場合と、自発光素子17に電流を流して発光させる場合とにおいて、該複数のトランジスタの接続を並列と直列とに切替えて用いる点に特徴がある。図1

(A)(B)では、第1スイッチ12及び第2スイッチ13を、第1走査線(Gaj)からの信号によりオン・オフの制御を行っていることが、駆動用素子15の複数のトランジスタを、並列接続状態と直列接続状態とを切替える手段となっている。

【0033】一例として駆動用素子15が4つのトランジスタ20a～20dで構成された場合の画素11を図1(C)(D)に示し、画素11における動作について以下に説明する。

【0034】図1(C)は画素11にデータ電流を書込む場合を示し、図1(D)は自発光素子を発光させる場合を示している。なお図1(C)(D)において、第1スイッチ12、第2スイッチ13、駆動用素子15、自発光素子17、信号線(Si)及び電源線(Vi)以外の素子、配線は図示を省略する。

【0035】最初に、画素11にデータ電流を書込む場合について説明する。図1(C)において、第1スイッチ12及び第2スイッチ13は、第1走査線(Gaj)から与えられる信号によりオンになる。すると駆動用素子15は、各トランジスタがダイオード接続状態となり、かつ相互に並列接続状態になる。電流経路は、電源線(Vi)から第2スイッチ13、駆動用素子15、第1スイッチ12を通して、信号線(Si)に達する経路である。このときの電流値 I_1 は、ビデオ信号のデータ電流値であり、信号線駆動回路(図示せず)が信号線(Si)に出力する所定の電流値である。

【0036】次いで、自発光素子17を発光させる場合について説明する。図1(D)において、第1スイッチ12及び第2スイッチ13は、第1走査線(Gaj)から与えられる信号によりオフになる。すると駆動用素子15は、各トランジスタが相互に直列接続状態になる。電流経路は、電源線(Vi)からトランジスタ20a、20b、20c、20dを通して自発光素子17に達する経路である。このときの電流値 I_2 により、自発光素子17の発光輝度が決まる。

【0037】最後に、自発光素子17に逆方向バイアスを印加する場合について説明する。

【0038】図1(E)において、対向電源(陰極)19aの電位を陽極の電位よりも高くすることで、自発光素子17に逆方向バイアスを印加することが出来る。なお図1(E)は、対向電源19aからスイッチ14の方向に矢印が図示してある。実際には自発光素子17に逆方向バイアスを印加すると電流は流れないが、図1

(E)では説明を分かりやすくするために図示している。

【0039】上述したように、本発明は、画素にデータ電流を書込むときには、駆動用素子15を構成するトランジスタ20a~20dを並列に使用する(図1

(C))。他方、画素11に有する自発光素子17に電流を流すとき、すなわち自発光素子を駆動しているときには、駆動用素子15を構成するトランジスタ20a~20dを直列に使用する(図1(D))。従って、トランジスタ20a~20dの電気的特性が同一であると仮定すれば、書込み時の電流値 I_w は、自発光素子駆動時の電流値 I_e の16倍(=4²倍)となる。より一般的には、駆動用素子15を構成するトランジスタの数が n 個の場合を考えると、該トランジスタの全てが同一の電気的特性をもつ条件の下では、ビデオ信号書込み時の電流値 I_w と自発光素子駆動時の電流値 I_e との間に次式

(1)の関係が成立する。

【0040】

【数1】 $I_w = n^2 \times I_e \cdots (1)$

【0041】なお式(1)が厳密に成立するためには、駆動用素子15を構成するトランジスタの全てが同一の電気的特性をもつことが条件となる。しかし該トランジスタの電気的特性が、相互に若干のバラつきを伴っている場合であっても、近似的に式(1)が成立するとして扱うことが現実的には可能である。

【0042】従って本発明では、駆動用素子15を複数のトランジスタで構成し、画素11にビデオ信号電流を書込む場合と、自発光素子を発光させる場合とにおいて、該複数のトランジスタの接続を並列と直列とに切替えて用いることで、書込み時の電流値 I_w と自発光素子駆動時の電流値 I_e とを任意に設定することができる特長を有する。

【0043】また本発明の別の特長として、駆動用素子15を構成する各トランジスタの電気的特性が、相互に若干のバラつきを伴っていたとしても、その影響が自発光素子駆動電流 I_e に反映されてしまうのを大きく軽減できる点がある。これに関しては、具体的な例を挙げて、実施の形態5において説明する。

【0044】さらに、図10(A)のようなカレントミラーを用いる画素回路においては、画素内の2つのトランジスタに関する限り、同一の電気的特性もつことが要求されてしまう問題があった。しかしながら本発明では、同一の画素内におけるトランジスタでさえも、相互に電気的特性が若干異なることを既に前提としている。すなわち本発明は、トランジスタの特性バラつきに対する耐性の点において、電流入力方式のカレントミラーを用いる画素回路と比較して優れている。その結果、本発明は、結晶粒界における欠陥等に起因するポリシリコンTFTの電気的特性バラつきが存在しても、自発光素子駆動電流 I_e を実用レベルにまで均一化することが可能

となる。

【0045】

【発明の実施の形態】(実施の形態1)以上、本発明の表示装置、発光装置の画素の概略を図1を用いて述べた。実施の形態1では、本発明の表示装置、発光装置の画素の具体的例について、図2~4を用いて説明する。簡単にするため、駆動用素子15を構成するトランジスタ数 n が、2~4の場合の例を挙げる。

【0046】最初の例を、図2(A)を用いて説明する。

【0047】図2(A)には、 j 行 i 列目に配置された画素11を示す。そして画素11は、信号線(Si)、電源線(Vi)、走査線(Gaj)、トランジスタ21~26、容量素子27、自発光素子28を有する。図2(A)に示す画素11は、図1(A)に示す画素11を具体的にトランジスタで図示したものであり、 p チャネル型のトランジスタ21、22は第1スイッチ12に相当する。 p チャネル型のトランジスタ23は第2スイッチ13に相当し、 n チャネル型のトランジスタ24は第3スイッチ14に相当する。 p チャネル型のトランジスタ25、26は駆動用素子15に相当する。

【0048】トランジスタ21~24の各ゲート電極は、走査線(Gaj)に接続されている。容量素子27は、トランジスタ25のゲート・ソース間電圧を保持する役割を担う。なお、トランジスタ25、26のゲート容量が大きい場合や、該ノードの寄生容量が大きい場合などでは、容量素子27は必ずしも設けなくてもよい。

【0049】図2(A)に示す画素11に、ビデオ信号データ電流を書込むときには、走査線(Gaj)に低電位信号を送り、トランジスタ21~23をオン、トランジスタ24をオフにする。このとき、トランジスタ25、26は電流経路上、互いに並列接続の関係になる。一方、自発光素子28に電流を流すときには、走査線(Gaj)に高電位信号を送り、トランジスタ21~23をオフ、トランジスタ24をオンにする。このとき、トランジスタ25、26は電流経路上、互いに直列接続の関係になる。

【0050】図2(A)の例では、駆動用素子15のトランジスタ25、26の接続関係の切替えを、第1走査線(Gaj)のみで制御する。また、第1スイッチを2個、第2スイッチを1個のトランジスタのみという、最少個数のトランジスタで構成する。このように図2(A)の例は、走査線数及びトランジスタ数を少なく抑えているため、開口率の確保や歩留まりの向上を重視する場合には好ましい構成である。

【0051】次いで図2(A)とは別の例を、図2(B)を用いて説明する。

【0052】図2(B)には、 j 行 i 列目に配置された画素11を示す。そして画素11は、信号線(Si)、電源線(Vi)、第1走査線(Gaj)、第2走査線(Gbj)、トランジ

タ31~39、42、容量素子40、自発光素子41を有する。図2(B)に示す画素11は、図1(B)に示す画素11を具体的にトランジスタで図示したものであり、pチャネル型のトランジスタ31~34は第1スイッチ12に相当する。pチャネル型のトランジスタ35、36は第2スイッチ13に相当し、nチャネル型のトランジスタ37は第3スイッチ14に相当する。pチャネル型のトランジスタ38、39は駆動用素子15に相当する。nチャネル型のトランジスタ42は第4スイッチ18に相当する。

【0053】トランジスタ31~34の各ゲート電極は、第1走査線(Gaj)に接続されている。トランジスタ35~37、42の各ゲート電極は、第2走査線(Gbj)に接続されている。容量素子40は、トランジスタ38のゲート・ソース間電圧を保持する役割を担う。なお、トランジスタ38、39のゲート容量が大きい場合や、該ノードの寄生容量が大きい場合などでは、容量素子40は必ずしも設けなくてもよい。

【0054】図2(B)に示す画素11に、ビデオ信号データ電流を書込むときには、第1走査線(Gaj)及び第2走査線(Gbj)に低電位信号を送り、トランジスタ31~36をオン、トランジスタ37、42をオフにする。このとき、トランジスタ38、39は電流経路上、互いに並列接続の関係になる。一方、自発光素子41に電流を流すときには、走査線(Gaj)に高電位信号を送り、トランジスタ31~36をオフ、トランジスタ37、42をオンにする。このとき、トランジスタ38、39は電流経路上、互いに直列接続の関係になる。

【0055】図2(B)の例では、駆動用素子15のトランジスタ38、39の接続関係の切替えを、第1走査線(Gaj)及び第2走査線(Gbj)を用いて制御する。しかし第2走査線(Gbj)により制御されるトランジスタは、いずれも信号線(Si)とは接続していない。また自発光素子41に電流を流し発光させるか否かは、第1走査線(Gaj)の電位に関わりなく、第2走査線(Gbj)の電位のみにより制御できる特徴がある。従って、データ電流を書込むとき以外で、第2走査線(Gbj)に第1走査線(Gaj)とは独立の信号を送ることで、自発光素子41の発光時間を任意に制御できる。

【0056】これは、中間階調表現を時間階調方式により表現する場合に、非常に重要な特長である。ポリシリコンTFTにより形成された駆動回路を有するAM型OLED表示装置に、時間階調方式を適用する場合には、列走査期間中に自発光素子の発光を停止させる手段なしには、十分な多階調表示が困難なためである。また、中間階調表現をアナログ的なビデオ信号データ電流を用いることで表現する場合であっても、ホールド型ディスプレイ特有の動画ボケを防止するために、インパルス型の発光を行う等の用途に有用である(ホールド型ディスプレイ特有の動画ボケについては、例えばT. Kurita, Pro

c. AM-LCD 2000 p.p.1-4 (2000) 等を参照)。

【0057】また図2(B)の例の別の特長としては、ビデオ信号データ電流の記憶がより正確に行える点がある。図2(A)の例では、データ電流の書込み時に、トランジスタ25は電源線(Vi)に直接接続するのに対し、トランジスタ26はトランジスタ23を介して接続する。よって、トランジスタ23による電圧降下分だけ、データ電流の書込み時が不正確となる。しかしながら、図2(B)の例では、トランジスタ38はトランジスタ35を介して、トランジスタ39はトランジスタ36を介して、電源線(Vi)に接続する。トランジスタ35とトランジスタ36による電圧降下を、同程度となるようにすれば、ビデオ信号データ電流の記憶をより正確に行うことができる。

【0058】続いて3つ目の例を、図3(A)を用いて説明する。

【0059】図3(A)には、j行i列目に配置された画素11を示す。そして画素11は、信号線(Si)、電源線(Vi)、第1走査線(Gaj)、第2走査線(Gbj)、トランジスタ51~57、60、容量素子58、自発光素子59を有する。図3(A)に示す画素11は、図1(B)に示す画素11を具体的にトランジスタで図示したものであり、nチャネル型のトランジスタ51~53は第1スイッチ12に相当する。nチャネル型のトランジスタ54は第2スイッチ13に相当し、pチャネル型のトランジスタ55は第3スイッチ14に相当する。pチャネル型のトランジスタ56、57は駆動用素子15に相当する。nチャネル型のトランジスタ60は第4スイッチ18に相当する。

【0060】トランジスタ51~55の各ゲート電極は、第1走査線(Gaj)に接続されている。トランジスタ60のゲート電極は、第2走査線(Gbj)に接続されている。容量素子58は、トランジスタ56のゲート・ソース間電圧を保持する役割を担う。なお、トランジスタ56、57のゲート容量が大きい場合や、該ノードの寄生容量が大きい場合などでは、容量素子58は必ずしも設けなくてもよい。

【0061】図3(A)に示す画素11に、ビデオ信号データ電流を書込むときには、第1走査線(Gaj)に高電位信号を送り、トランジスタ51~54をオン、トランジスタ55をオフにする。このとき、トランジスタ56、57は電流経路上、互いに並列接続の関係になる。一方、自発光素子59に電流を流すときには、走査線(Gaj)に低電位信号を送り、トランジスタ51~54をオフ、トランジスタ55をオンにする。このとき、トランジスタ56、57は電流経路上、互いに直列接続の関係になる。

【0062】なお上記の間、第2走査線(Gbj)には低電位信号を送り、トランジスタ60をオフしておく。

【0063】図3(A)に示す画素11においても、図

10

20

30

40

50

2 (B) の例の場合と同様に、第2走査線(Gbj)に送る信号により、自発光素子59の発光時間を任意に制御できる。すなわち自発光素子59が発光している間、第2走査線(Gbj)に高電位信号をおくり、トランジスタ60をオンにすると、トランジスタ56がオフとなって、自発光素子59は消光する。但し、自発光素子59を一度消光させると、再度ビデオ信号データ電流を書込まなくては、自発光素子59を発光させられない。この点は、図2 (B) の例と異なる。

【0064】図3 (A) に示す画素11において、自発光素子59の発光時間を任意に制御できることの特長は、図2 (B) の例の場合と同様である。すなわち、まず中間階調表現を時間階調方式により表現することが可能となる。また中間階調表現をアナログ的なビデオ信号データ電流を用いることで表現する場合であっても、ホールド型ディスプレイ特有の動画ボケを防止するために、インパルス型の発光を行う等の用途に有用である。

【0065】図3 (A) に示す画素11においては、第1、第2スイッチ12のトランジスタ51~54、第4スイッチ18のトランジスタ60はnチャネル型であり、第3スイッチ14のトランジスタ55はpチャネル型である。これは、図2 (A) (B) の例の場合と異なっている。しかしこれは、スイッチのトランジスタのチャネル型に関して、特に制限がないことを例示したものにすぎない。

【0066】続いて4つ目の例を、図3 (B) を用いて説明する。

【0067】図3 (B) には、j行i列目に配置された画素11を示す。そして画素11は、信号線(Si)、電源線(Vi)、第1走査線(Gaj)、第2走査線(Gbj)、トランジスタ71~82、85、容量素子83、自発光素子84を有する。図3 (B) に示す画素11は、図1 (B) に示す画素11を具体的にトランジスタで図示したものであり、pチャネル型のトランジスタ71~75は第1スイッチ12に相当する。pチャネル型のトランジスタ76~78は第2スイッチ13に相当し、nチャネル型のトランジスタ79は第3スイッチ14に相当する。pチャネル型のトランジスタ80~82は駆動用素子15に相当する。nチャネル型のトランジスタ85は第4スイッチ18に相当する。

【0068】トランジスタ71~75、85の各ゲート電極は、第1走査線(Gaj)に接続されている。トランジスタ76~79のゲート電極は、第2走査線(Gbj)に接続されている。容量素子83は、トランジスタ80のゲート・ソース間電圧を保持する役割を担う。なお、トランジスタ80~82のゲート容量が大きい場合や、該ノードの寄生容量が大きい場合などでは、容量素子83は必ずしも設けなくてもよい。

【0069】図3 (B) に示す画素11に、ビデオ信号データ電流を書込むときには、第1走査線(Gaj)及び第

2走査線(Gbj)に低電位信号を送り、トランジスタ71~78をオン、トランジスタ79、85をオフにする。このとき、トランジスタ80~82は電流経路上、互いに並列接続の関係になる。一方、自発光素子84に電流を流すときには、走査線(Gaj)に高電位信号を送り、トランジスタ71~78をオフ、トランジスタ79、85をオンにする。このとき、トランジスタ80~82は電流経路上、互いに直列接続の関係になる。

【0070】図3 (B) の例では、駆動用素子15のトランジスタ80~82の接続関係の切替えを第1走査線(Gaj)及び第2走査線(Gbj)を用いて制御する。しかし第2走査線(Gbj)により制御されるトランジスタは、いずれも信号線(Si)とは接続していない。また自発光素子84に電流を流し発光させるか否かは、第1走査線(Gaj)の電位に関わりなく、第2走査線(Gbj)の電位のみにより制御できる特徴がある。従って、データ電流を書込むとき以外で、第2走査線(Gbj)に第1走査線(Gaj)とは独立の信号を送ることで、自発光素子84の発光時間を任意に制御できる。これは図2 (B) の例と同様である。

【0071】従って、図3 (B) に示す画素11においても、自発光素子84の発光時間を任意に制御できることに起因した、以下の特長がある。すなわち、中間階調表現を時間階調方式により表現することが可能となることである。また中間階調表現をアナログ的なビデオ信号データ電流を用いることで表現する場合であっても、ホールド型ディスプレイ特有の動画ボケを防止するために、インパルス型の発光を行う等の用途に有用なことである。

【0072】5つ目の例を、図4 (A) を用いて説明する。

【0073】図4 (A) には、j行i列目に配置された画素11を示す。そして画素11は、信号線(Si)、電源線(Vi)、第1走査線(Gaj)、第2走査線(Gbj)、トランジスタ91~103、106、容量素子104、自発光素子105を有する。図4 (A) に示す画素11は、図1 (B) に示す画素11を具体的にトランジスタで図示したものであり、pチャネル型のトランジスタ91~94は第1スイッチ12に相当する。pチャネル型のトランジスタ95~98は第2スイッチ13に相当し、nチャネル型のトランジスタ99は第3スイッチ14に相当する。pチャネル型のトランジスタ100~103は駆動用素子15に相当する。nチャネル型のトランジスタ104は第4スイッチ18に相当する。

【0074】トランジスタ91~94の各ゲート電極は、第1走査線(Gaj)に接続されている。トランジスタ95~99、106のゲート電極は、第2走査線(Gbj)に接続されている。容量素子104は、トランジスタ100のゲート・ソース間電圧を保持する役割を担う。なお、トランジスタ100~103のゲート容量が大きい場合や、該ノードの寄生容量が大きい場合などでは、容

量素子104は必ずしも設けなくてもよい。

【0075】図4(A)に示す画素11に、ビデオ信号データ電流を書込むときには、第1走査線(Gaj)及び第2走査線(Gbj)に低電位信号を送り、トランジスタ91~98をオン、トランジスタ99、106をオフにする。このとき、トランジスタ100~103は電流経路上、互いに並列接続の関係になる。一方、自発光素子105に電流を流すときには、走査線(Gaj)に高電位信号を送り、トランジスタ91~98をオフ、トランジスタ99、106をオンにする。このとき、トランジスタ100~103は電流経路上、互いに直列接続の関係になる。

【0076】図4(A)の例では、駆動用素子15のトランジスタ100~103の接続関係の切替えを、第1走査線(Gaj)及び第2走査線(Gbj)を用いて制御する。しかし第2走査線(Gbj)により制御されるトランジスタは、いずれも信号線(Si)とは接続していない。また自発光素子105に電流を流し発光させるか否かは、第1走査線(Gaj)の電位に関わりなく、第2走査線(Gbj)の電位のみにより制御できる特徴がある。従って、データ電流を書込むとき以外で、第2走査線(Gbj)に第1走査線(Gaj)とは独立の信号を送ることで、自発光素子84の発光時間を任意に制御できる。これは図2(B)の例と同様である。

【0077】従って、図4(A)に示す画素11においても、自発光素子84の発光時間を任意に制御できるとに起因する以下の特長がある。すなわち、まず中間階調表現を時間階調方式により表現することが可能となることである。また中間階調表現をアナログ的なビデオ信号データ電流を用いることで表現する場合であっても、ホールド型ディスプレイ特有の動画ボケを防止するために、インパルス型の発光を行う等の用途に有用であることである。

【0078】6つ目の例を、図4(B)を用いて説明する。

【0079】図4(B)には、j行i列目に配置された画素11を示す。そして画素11は、信号線(Si)、電源線(Vi)、第1走査線(Gaj)、第2走査線(Gbj)、トランジスタ111~120、122、容量素子123、自発光素子121を有する。図4(B)に示す画素11は、図1(B)に示す画素11を具体的にトランジスタで図示したものであり、pチャネル型のトランジスタ111~113は第1スイッチ12に相当する。pチャネル型のトランジスタ114、115は第2スイッチ13に相当し、nチャネル型のトランジスタ116は第3スイッチ14に相当する。pチャネル型のトランジスタ117~120は駆動用素子15に相当する。pチャネル型のトランジスタ122は第4スイッチ18に相当する。

【0080】トランジスタ111~116の各ゲート電極は、第1走査線(Gaj)に接続されている。トランジスタ

122のゲート電極は、第2走査線(Gbj)に接続されている。容量素子123は、トランジスタ117のゲート・ソース間電圧を保持する役割を担う。なお、トランジスタ117~120のゲート容量が大きい場合や、該ノードの寄生容量が大きい場合などでは、容量素子123は必ずしも設けなくてもよい。

【0081】図4(B)に示す画素11に、ビデオ信号データ電流を書込むときには、第1走査線(Gaj)に高電位信号を送り、トランジスタ111~115をオン、トランジスタ116をオフにする。このとき、トランジスタ117~120は電流経路上、互いに並列接続の関係になる。一方、自発光素子121に電流を流すときには、第1走査線(Gaj)に低電位信号を送り、トランジスタ111~115をオフ、トランジスタ116をオンにする。このとき、トランジスタ117~120は電流経路上、互いに直列接続の関係になる。

【0082】なお上記の間、第2走査線(Gbj)には低電位信号を送り、トランジスタ122をオフしておく。

【0083】図4(B)に示す画素11においても、図2(B)の例の場合と同様に、第2走査線(Gbj)に送る信号により、自発光素子121の発光時間を任意に制御できる。すなわち自発光素子121が発光している期間において、第2走査線(Gbj)に高電位信号をおくり、トランジスタ122をオンにすると、トランジスタ117がオフとなり自発光素子121は消光する。ただし自発光素子121を一度消光させると、再度ビデオ信号データ電流を書込まなくては、自発光素子121を発光させられない。この点は、図2(B)の例と異なる。

【0084】図4(B)に示す画素11において、自発光素子121の発光時間を任意に制御できることの特長は、図2(B)の例の場合と同様である。すなわち、まず中間階調表現を時間階調方式により表現することが可能となる。また中間階調表現をアナログ的なビデオ信号データ電流を用いることで表現する場合であっても、ホールド型ディスプレイ特有の動画ボケを防止するために、インパルス型の発光を行う等の用途に有用である。

【0085】以上、本発明の表示装置、発光装置の画素11の例として、それぞれ異なる構成の6種類の画素11を図2~4を用いて説明した。しかし本発明の表示装置、発光装置の画素構成は、これら6種に限定されるわけではない。

【0086】(実施の形態2) 本実施の形態では、画素11の駆動方法を説明する。図4(B)に示した画素11の場合を一例に挙げて、図5を用いて説明する。

【0087】最初に、ビデオ信号書込み動作と発光動作について説明する。

【0088】まず画素11の周囲に設けられた走査線駆動回路(図示せず)から出力される信号によって、j行目の第1走査線(Gaj)が選択される。すなわち、第1走査線(Gaj)に低電位(Lレベル)信号が出力され、トラン

ジスタ111~116のゲート電極が低電位(Lレベル)となる。このとき、pチャネル型のトランジスタ111~115がオンとなり、nチャネル型のトランジスタ116がオフとなる。そして画素11の周囲に設けられた信号線駆動回路(図示せず)から、i列目の信号線(Si)を介して画素11にビデオ信号データ電流I_dが入力される。

【0089】トランジスタ111~113がオンすると、トランジスタ117~120は、ドレインとゲートが短絡されたダイオード接続状態となる。すなわち画素11は、並列な4つのダイオードと回路的に等価となる。この状態で画素11の電源線(Vi)と信号線(Si)の間に、電流I_dを流す(図5(A)を参照)。

【0090】並列な4つのダイオードを流れる電流I_dが定常状態になった後、第1走査線(Gaj)を高電位(Hレベル)にする。するとトランジスタ111~113はオフとなり、ビデオ信号データ電流I_dが画素に記憶される。

【0091】続いて第1走査線(Gaj)が高電位(Hレベル)となると、pチャネル型のトランジスタ111~115がオフとなり、nチャネル型のトランジスタ116がオンとなる。トランジスタ117~120は直列状態に接続が組みかえられる。このときトランジスタ120が飽和領域で動作するようにあらかじめ電圧条件を設定しておく、駆動用素子は自発光素子に定電流I_dを供給する。

【0092】本実施の形態では、駆動用素子は4つのトランジスタにより構成されているため、定電流I_dの値は、ビデオ信号データ電流I_dの約1/6分の1の大きさになる。より一般的に記載するとは、駆動用素子がn個のトランジスタにより構成されている場合には、電流I_dは、ビデオ信号データ電流I_dの約n²分の1の大きさとなる。

【0093】本実施の形態では、書き込みデータ電流I_wを、自発光素子の駆動電流I_dの約1/6倍の大きな値にすることができる。そのため、寄生容量等のために自発光素子駆動電流I_d程度の微小電流を、直接速やかに画素に書き込むことが難しい場合であっても、ビデオ信号データ電流I_dを画素に書き込むことが可能となる。

【0094】なお本実施の形態は、中間階調表現の方法として、アナログビデオ方式を採用してもよいし、デジタルビデオ方式を採用してもよい。アナログビデオ方式の場合、ビデオ信号データ電流として、アナログ的に変化するデータ電流I_dを用いる。デジタルビデオ方式の場合は、一つのデータ電流I_dのみを基準のオン電流として単位輝度を用意する。そして、単位輝度を時間的に足し合わせて階調表現する、時間階調法を用いるのが便利である(デジタル時間階調法とも称される)。あるいは、単位輝度を面積的に足し合わせて階調表現する面積階調法や、時間階調法と面積階調法を組み合わせ

る方法で、デジタルビデオ方式を行うこともできる。

【0095】また本実施の形態において、アナログビデオ方式、デジタルビデオ方式のいずれを採用したとしても、ビデオ信号データ電流I_dを0とする場合が必要となることがある。しかし、ビデオ信号データ電流I_dを0とする場合は、自発光素子の発光輝度を0とするということであるため、I_dを画素に正確に書き込み記憶させる必要はない。従って、このような場合には駆動用素子のトランジスタ117~120がオフとなるようなゲート電圧を信号線(Si)に直接出力してもよい。すなわち、例外的にビデオ信号を電流値でなく、電圧値で出力してもよい。

【0096】次に、発光停止動作について説明する。

【0097】まず画素11の周囲に設けられた別の走査線駆動回路(図示せず)から出力される信号によって、j行目の第2走査線(Gbj)が選択される。すなわち、第2走査線(Gbj)に低電位(Lレベル)信号が出力される。pチャネル型のトランジスタ122は、ゲート電極が低電位(Lレベル)となるためにオン状態となる。

【0098】するとトランジスタ117のソースとゲートが短絡され、オフとなる。その結果、自発光素子121への電流供給は遮断され、発光は停止する。

【0099】このような発光停止動作を利用することによって、自発光素子121の発光時間を、1列走査時間の制約を受けずに、任意に制御することが可能となる。これは、まず中間階調表現を時間階調方式により表現することが容易となることに利点がある。また中間階調表現をアナログ的なビデオ信号データ電流を用いることで表現する場合であっても、ホールド型ディスプレイ特有の動画ボケを防止するために、インパルス型の発光を行うこと等に利点がある。

【0100】最後に、自発光素子121に逆方向バイアスを印加する動作について説明する。

【0101】自発光素子121に逆方向バイアスを印加するときは、対向電源(陰極)124の電位を陽極の電位よりも高くして行う。なお逆方向バイアスを印加する動作は、自発光素子121が発光していない期間に行えばよく、例えば逆方向バイアスを印加する動作と発光停止動作とを同時に行うことも出来る。また、逆方向バイアスを印加するタイミングは、特に限定されず、例えば、ビデオ信号が入力される毎や1フレーム期間毎など任意に設定することが出来る。

【0102】本実施の形態は、実施の形態1と任意に組み合わせることが可能である。

【0103】(実施の形態3)本実施の形態では、自発光素子17に逆方向バイアス電圧を印加するために、新たに半導体素子を配置した場合について、図11を用いて説明する。

【0104】図11(A)に示す画素11は、図1(A)に示す画素11にスイッチ19b及び電源線(Va

i)、並びに第2走査線(Gb_j)を配置した構成である。また図11(B)に示す画素11は、図1(B)に示す画素11にスイッチ19b及び電源線(Vai)、並びに第3走査線(Gc_j)を配置した構成である。図11

(A)(B)に示す画素11の構成の説明は、図1(A)(B)の画素11の構成の説明に準ずるので、本実施の形態では省略する。

【0105】そして、図11(A)(B)に示す画素11に逆方向バイアスを印加するときの動作を図11

(C)を用いて説明する。第3走査線(Gc_j)を介してスイッチ19aに信号が入力されて、スイッチ19aが導通状態になると、自発光素子17に逆方向バイアスが印加される。つまり、スイッチ19aが導通状態になると、電源線(Vai)と自発光素子17とが電氣的に接続された状態になるようにする。このとき、上記電源線(Vai)の電位を自発光素子17の対向電源19aの電位よりも低くしておくことで、上記スイッチ19aが導通状態になると同時に、自発光素子17に逆方向バイアスが印加されるようにする。

【0106】なおスイッチ19aには、図11(D)に示すトランジスタ、図11(E)に示すダイオード、図11(F)に示すゲート電極とドレイン電極とが接続されたnチャネル型のトランジスタ、図11(G)に示すゲート電極とドレイン電極とが接続されたpチャネル型のトランジスタなどが用いられる。なお、スイッチ19aとしてトランジスタのような三端子素子を用いるときには、図11(A)に示す画素11では第2走査線(Gb_j)、図11(B)に示す画素11では第3走査線(Gc_j)を配置することが必要だが、図11(E)に示すダイオードや、ゲート電極とドレイン電極とが接続されたトランジスタなどの2端子素子を用いるときは、上記のような配線を配置する必要はない。

【0107】続いて、本実施の形態の構成を、図4、5に示した画素11に適用した場合について、図12を用いて説明する。

【0108】図12に示す画素11は、図4、5に示した画素11に、トランジスタ125及び電源線(Vai)、並びに第3走査線(Gc_j)が新たに設けられている。図12に示す画素11の詳しい構成の説明は、図4、5に示した画素11の構成の説明に準ずるので本実施の形態では省略する。

【0109】そして、図12に示す画素11の動作について説明する。ビデオ信号書き込み動作及び発光動作、並びに発光停止動作は、上述した実施の形態2に準ずるので、本実施の形態では説明を省略する。そして本実施の形態では、逆方向バイアスを印加する動作のみを説明する。

【0110】逆方向バイアスを印加する動作は、まず第3走査線(Gc_j)を介して入力される信号により、トランジスタ125が導通状態になると、自発光素子12

1と電源線(Vai)が電氣的に接続された状態になる。このとき、電源線(Vai)の電位を、自発光素子121の電位よりも低くしておくことで、トランジスタ125が導通状態になると同時に、自発光素子125に逆方向バイアスを印加することが出来る。

【0111】なお逆方向バイアスを印加する動作は、自発光素子121が発光していない期間に行えばよく、例えば逆方向バイアスを印加する動作と発光停止動作とを同時に行うことも出来る。また逆方向バイアスを印加するタイミングは、特に限定されず任意に設定すればよい。例えば、ビデオ信号が入力される毎や1フレーム期間毎など任意に設定することが出来る。

【0112】本実施の形態は、実施の形態1、2と任意に組み合わせることが可能である。

【0113】(実施の形態4)本実施の形態では、本発明の表示装置、発光装置における画素の平面レイアウト(上面図)例を提示する。本実施の形態の画素回路としては、図3(B)に示した画素回路を例に挙げて説明する。

【0114】図6には、j行i列目の画素11を示す。図6において、二点破線で囲んだ領域が画素11に相当する。点模様の領域は、ポリシリコン膜である。右上り斜線と右下り二重斜線は、それぞれ別の層の導電体膜(金属膜等)である。バツ印は層間の接触点を示す。そして、チェック模様の領域86は自発光素子54の陽極に相当する。

【0115】第1走査線(Ga_j)下には、トランジスタ71~75、85が形成されている。第2走査線(Gb_j)下には、トランジスタ76~79が形成されている。電源線(Vi)の下に容量素子83が形成されている。

【0116】駆動用素子を構成する3つのトランジスタ80~82は同サイズに揃えて互いに隣接させて形成されている。このように形成することで、トランジスタを作製する段階から、同一画素内におけるトランジスタ80~82間のバラつきが、大きくなりにくくすることができる。本発明の構成である「並列書き込み直列駆動」は、駆動用素子を構成する複数のトランジスタ間に元々存在するバラつきの影響を、さらに小さくする手法である。したがって、当初からバラつきが抑えられた複数のトランジスタを駆動用素子に用いるのであれば、本発明の効果を非常に大きく生かすことができるため好ましい。そして、自発光素子の発光輝度のバラつきは、さらに僅少となる。

【0117】なお本発明の表示装置、発光装置を作製する工程については、例えば、特開2001-343933等を参照できる。駆動用素子を構成する複数のトランジスタは、ソースとドレインについては対称的である方が好ましい。しかしながら、複数のトランジスタのソースとドレインが対称的であることが必須ではない。

【0118】本実施の形態は、実施の形態1~3と任意

に組み合わせることが可能である。

【0119】(実施の形態5) 本実施の形態では、本発明の表示装置、発光装置の構成の例について図7を用いて説明する。画素内ではなく、装置の全体的な構成の例を説明する。

【0120】本発明の表示装置、発光装置は、基板1801上に、複数の画素がマトリクス状に配置された画素部1802を有する。画素部1802の周辺部には、信号線駆動回路1803、第1の走査線駆動回路1804及び第2の走査線駆動回路1805が配置されている。10 信号線駆動回路1803と、第1の走査線駆動回路1804及び第2の走査線駆動回路1805には、FPC1806を介して、外部より電源や信号が供給される。

【0121】図7(A)の例においては、信号線駆動回路1803と、走査線駆動回路1804及び1805が集積されているが、本発明はこれに限定されるものではない。例えば、第2の走査線駆動回路1805を欠いていてもよい。あるいは、信号線駆動回路1803、走査線駆動回路1804及び1805を欠いていてもよい。

【0122】第1の走査線駆動回路1804及び第2の走査線駆動回路1805の例を、図7(B)を用いて説明する。図7(B)に示す走査線駆動回路1804及び1805は、シフトレジスタ1821、バッファ回路1822をそれぞれ有している。

【0123】図7(B)の回路の動作を簡単に説明する。シフトレジスタ1821は、クロック信号(G-CLK)、クロック反転信号(G-CLKb)、スタートパルス信号(G-SP)に基づき、順次パルスを出力する。該パルスは、バッファ回路1822で電流増幅された後、走査線に入力される。こうして走査線は、1行ずつ順次選択状態となる。

【0124】なお本明細書において、同期タイミングとは、クロック信号(G-CLK)、クロック反転信号(G-CLKb)、スタートパルス信号(G-SP)に基づいて出力されたパルスを指す。

【0125】なお必要に応じ、バッファ回路1822内にレベルシフタを設置してもよい。レベルシフタにより、電圧振幅を変更することができる。

【0126】次いで、信号線駆動回路1803の例を、図7(C)を用いて説明する。図7(C)に示す信号線駆動回路1803は、シフトレジスタ1831、第1のラッチ回路1832、第2のラッチ回路1833、電流電圧変換回路1834を有している。

【0127】図7(C)の回路の動作を簡単に説明する。図7(C)の回路は、中間階調表示方式として、デジタル時間階調法を採用した場合の回路である。

【0128】シフトレジスタ1831は、クロック信号(S-CLK)、クロック反転信号(S-CLKb)、スタートパルス信号(S-SP)に基づき、順次サンプリングパルスを第1のラッチ回路1832に出力する。20

各列の第1のラッチ回路1832は、該パルスのタイミングに従って、デジタルビデオ信号を順次読込む。第1のラッチ回路1832において、最終列までビデオ信号の読込みが完了すると、第2のラッチ回路1833にラッチパルスが入力される。ラッチパルスにより、各列の第1のラッチ回路1832に読込まれていたビデオ信号は、一斉に各列の第2のラッチ回路1833に転送される。第2のラッチ回路1833に転送されたビデオ信号は、電圧電流変換回路1834において、適宜形式変換処理され、画素へ転送される。ビデオ信号のうち、オンデータは電流形式に変換され、オフデータは電圧形式のまま電流増幅される。ラッチパルス後、シフトレジスタ1831、第1のラッチ回路1832は、次行のビデオ信号読込み動作として、上記動作を繰り返す。

【0129】図7(C)の信号線駆動回路1803の構成はあくまで一例であり、アナログ階調法を採用した場合には、別の構成にする。またデジタル時間階調法を採用した場合であっても、他の構成にすることはできる。

【0130】本実施の形態は、実施の形態1~4と任意に組み合わせることが可能である。

【0131】(実施の形態6) 本実施の形態では、トランジスタの特性曲線(図8)を用いて、本発明の効果について説明する。説明を簡単にするため、駆動用素子を構成するトランジスタの個数が2個の場合を例に挙げて説明する。画素回路の構成としては、図2(B)に示した通りであるとする。またここで用いるトランジスタの特性曲線は理想的なものであるとしており、実際のトランジスタの特性曲線とは若干の差異がある。例えば図8では、トランジスタのチャネル長変調はゼロとしてある。

【0132】トランジスタのソースの電位を基準として、ゲートの電位を V_g 、ドレインの電位を V_d 、ソースドレイン間に流れる電流を I_d とする。但し、トランジスタがpチャネル型のときは、正負を入れ替えるなど正負の向きは適宜設定してある。例えば、図8(A)

(B)において、曲線801~804は、ある一定のゲート電位 V_g 下における I_d - V_d 特性曲線である。一点鎖太曲線805は、駆動用素子を構成する2個のトランジスタの一方について、ゲートとドレインを短絡することにより、 V_g と V_d とを等しくした条件下での I_d - V_d 変化を示したものである。すなわち、一点鎖太曲線805には、該トランジスタ固有の電気的特性(電界効果移動度、しきい電圧値)が反映されている。同様に、二点鎖太曲線806は、駆動用素子を構成する他の一方のトランジスタについて、ゲートとドレインを短絡することにより、 V_g と V_d とを等しくした条件下での I_d - V_d 変化を示したものである。

【0133】図8(A)(B)は、駆動用素子を構成する2個のトランジスタが各々異なった電気的特性をもつ

ている場合に、本発明の構成である「並列書き込み直列駆動」により、自発光素子駆動電流がどうなるかを調べたものである。図8(A)は、2個のトランジスタ間において特に、電界効果移動度の違いが大きい場合の例である。図8(B)は、2個のトランジスタ間において特に、しきい電圧値の違いが大きい場合の例である。図8(A)(B)から、結論としては、各場合での自発光素子駆動電流は、807の三角矢印の長さで示されるとおりとなる。この理由について、以下に簡単に説明する。

【0134】まず、トランジスタ38、39の特性曲線として、両トランジスタの特性が等しく、且つ一点鎖太曲線805が対応する場合を考える。

【0135】データ電流書き込み時には、図2(B)のトランジスタ31~36がオンとなる。トランジスタ31~34がオンとなることから、駆動用素子を構成する2個のトランジスタ38、39では、ゲートとドレインが短絡される。よってトランジスタ38、39の動作点は、一点鎖太曲線805上の点であり、データ電流値 I_d により決まるある一点である。仮に該動作点が805と801の交点としておく。つまり、805と801の交点の縦軸値 I_d の2倍が、データ電流値 I_d であるとしておく。

【0136】自発光素子の発光時には、図2(B)のトランジスタ31~36がオフとなり、トランジスタ37、42がオンとなる。トランジスタ31~34がオフとなることから、トランジスタ38、39のゲート電位は、データ電流書き込み時のままで保持される。そして自発光素子の発光時には、トランジスタ39が飽和領域で動作し、トランジスタ38が非飽和領域で動作する。自発光素子の発光時における、トランジスタ38の I_d - V_d 曲線は801で表され、トランジスタ39の I_d - V_d 曲線は803で表される。

【0137】図8(A)に示すグラフにおいて、各一点鎖線矢印は、長さ縦軸座標は等しい。自発光素子の発光時におけるトランジスタ38の動作点は、左側の一点鎖線矢印の右端と801との接点である。そして求めるべき自発光素子の駆動電流 I_e は、一点鎖線矢印の縦軸座標、すなわち、807の実線三角矢印の長さである。なお図8(B)に示すグラフでも同様であり、求めるべき自発光素子駆動電流 I_e は807の実線三角矢印の長さである。トランジスタ38の特性曲線とトランジスタ39の特性曲線が、いずれも等しい場合には、結果的には求めるべき自発光素子駆動電流 I_e は、データ電流値 I_d の4分の1の大きさとなる。

【0138】次に、トランジスタ38の特性曲線として一点鎖太曲線806が対応し、トランジスタ39の特性曲線として一点鎖太曲線805が対応する場合を考える。データ電流値 I_d は、上で述べたトランジスタ38、39の特性曲線としていずれも805が対応する場合と、同一とする。

【0139】データ電流書き込み時には、図2(B)の駆動用素子を構成する2個のトランジスタ38、39では、ゲートとドレインが短絡される。よってトランジスタ38の動作点は二点鎖太曲線806上の点であり、トランジスタ39の動作点は一点鎖太曲線805上の点である。そして、トランジスタ38の動作点の縦軸座標と、トランジスタ39の動作点の縦軸座標との和は、データ電流値 I_d である。よってトランジスタ38の動作点は、806と802の交点となる。トランジスタ39の動作点は、トランジスタ38の動作点と横軸座標が等しい、曲線805上の点となる。

【0140】自発光素子の発光時には、図2(B)のトランジスタ31~34がオフとなることから、トランジスタ38、39のゲート電位は、データ電流書き込み時のままで保持される。そして自発光素子発光時には、トランジスタ39が飽和領域で動作し、トランジスタ38が非飽和領域で動作する。自発光素子発光時における、トランジスタ38の I_d - V_d 曲線は802で表される。

【0141】図8(A)に示すグラフにおいて、同縦軸座標値にある各二点鎖線矢印は、長さが等しい。図8(A)において上部に位置する二点鎖線矢印の組が、トランジスタ38の特性曲線として二点鎖太曲線806が対応しており、トランジスタ39の特性曲線として一点鎖太曲線805が対応している場合である。自発光素子の発光時における、トランジスタ38の動作点は、図8(A)に示すグラフにおいて、左側に位置する該二点鎖線矢印の右端と802との接点である。そして求めるべき自発光素子駆動電流 I_e は、該二点鎖線矢印の縦軸座標、すなわち、807の長点線三角矢印(左側)の長さである。なお図8(B)上でも同様の事情が成立し、求めるべき自発光素子駆動電流 I_e は、807の長点線三角矢印(左側)の長さである。

【0142】また別の場合として、トランジスタ38の特性曲線として一点鎖太曲線805が対応し、トランジスタ39の特性曲線として二点鎖太曲線806が対応する場合も、同様にして行うことができる。本実施の形態では詳しい説明は省略するが、図8(A)(B)とも、求めるべき自発光素子駆動電流 I_e は、807の長点線三角矢印(右側)の長さとなる。

【0143】さらに別の場合として、トランジスタ38、39の特性曲線として、いずれも二点鎖太曲線805が対応する場合の検討も、同様に行うことができる。本実施の形態では詳しい説明は省略するが、図8(A)(B)とも、求めるべき自発光素子駆動電流 I_e は、807の短点線三角矢印の長さとなる。

【0144】そして、図8(A)(B)における、807の三角矢印の長さから、駆動用素子を構成するトランジスタ38、39の特性バラつきが、自発光素子の駆動電流 I_e にどのように反映されるかの概略をみることもできる。

【0145】比較のために、図8(A)(B)には808の狭角矢印、809の広角矢印も記載してある。808の狭角矢印は、電流入力方式でカレントミラー型を用いる画素回路の場合において、上記と同様の検討を行った結果である。すなわち、カレントミラーの2つのトランジスタ間に、上記と同様の特性バラつきが存在したとき、自発光素子の駆動電流 I_E がどのようなのかを示している。809の広角矢印は、電圧入力方式の画素回路の場合において、同様の検討を行った結果である。つまり、異なる画素の自発光素子駆動トランジスタ間に、上記と同様の特性バラつきが存在したとき、自発光素子駆動電流 I_E がどうなるかを示している。

【0146】そして、図8(A)(B)の807の三角矢印、808の狭角矢印、809の広角矢印を比較すると、以下に示す点が理解できる。

【0147】まず、807の三角矢印、808の狭角矢印では、同一画素内の2つのトランジスタ間にさえ特性バラつきがない限りは、トランジスタの特性曲線が805、又は806であったとしても自発光素子の駆動電流 I_E は一定となる。すなわち、電流入力方式でカレントミラー型を用いる画素回路でも、本発明の「並列書込み直列駆動」の画素回路でも、基板全体でトランジスタの特性を一定に揃える必要はなく、同一画素内の2つのトランジスタ間の特性バラつきさえ、抑制すれば十分である。この点は、電圧入力方式の画素回路に対して非常に優位である。

【0148】しかし、同一画素内の2つのトランジスタ間の特性バラつきが存在すると、808の狭角矢印では、自発光素子駆動電流 I_E のバラつきが大きくなる。すなわち、電流入力方式でカレントミラー型を用いる画素回路では、同一画素内の2つのトランジスタ間の特性バラつきの影響が大きく現れてしまう。極端な場合では、電圧入力方式の画素回路よりも、自発光素子駆動電流 I_E のバラつきが大きくなることもある。この観点から考えると、本発明の「並列書込み直列駆動」の画素回路では、同一画素内の2つのトランジスタ間の特性バラつきの影響が大きく抑制されている。実際の表示装置、発光装置では、トランジスタの特性バラつきは、同一画素内よりも基板全体にわたるものの方が深刻である。したがって同一画素内の2つのトランジスタ間の特性バラつきは、本発明の「並列書込み直列駆動」の画素回路のように抑制されれば、実用上はほとんど問題がなくなる。

【0149】本実施の形態では、駆動用素子を構成するトランジスタに個数が、2個の場合を例に、本発明の効果について説明した。しかし、駆動用素子を構成するトランジスタに個数が、3個以上の場合においても同様の事情が成立する。

【0150】本実施の形態は、実施の形態1～5と任意に組み合わせることが可能である。

【0151】(実施の形態7) 本実施の形態においては、有機化合物層として高分子化合物を適用し、さらに陽極と発光層との間に導電性高分子化合物からなるバッファ層を設けた自発光素子において、直流駆動(常に順方向バイアスを印加)と、交流駆動(順方向バイアスと逆方向バイアスを一定周期で交互に印加)を行った際の輝度劣化について測定を行った結果について述べる。

【0152】図13(A)(B)は、順方向バイアス:3.7V、逆方向バイアス:1.7V、デューティ50%、交流周波数60Hzにおいて交流駆動を行った際の信頼性試験の結果を示している。初期輝度は約400cd/cm²であった。比較用に、直流駆動(順方向バイアス:3.65V)を行った際の信頼性試験の結果も同時に示した。その結果、直流駆動においては、400時間程度で輝度が半減したのに対し、交流駆動においては、約700時間経過後も、半減には至らなかった。

【0153】図13(C)(D)は、順方向バイアス:3.8V、逆方向バイアス:1.7V、デューティ50%、交流周波数600Hzにおいて交流駆動を行った際の信頼性試験の結果を示している。初期輝度は約300cd/cm²であった。比較用に、直流駆動(順方向バイアス:3.65V)を行った際の信頼性試験の結果も同時に示した。結果、直流駆動においては、500時間程度で輝度が半減したのに対し、交流駆動においては、約700時間経過後も、初期輝度の60%程度を保持していた。

【0154】以上の結果より、交流駆動を行った自発光素子は、直流駆動を行った自発光素子よりも信頼性が高いことが分かる。

【0155】(実施の形態8) 本実施の形態では、本発明の発光装置の断面構造について、図14を用いて簡単に説明する。なお説明を簡単にするために、図14には駆動用TFT507と発光素子の断面構造のみを図示する。

【0156】図14において、500は絶縁表面を有する基板である。基板500上には、駆動用TFT507が設けられている。そして、駆動用TFT507が有する活性層に設けられた不純物領域に接続するように配線が設けられ、前記配線と接続するように画素電極509が設けられている。画素電極509上には有機導電体膜522が設けられ、該有機導電体膜522上には有機薄膜(発光層)523が設けられている。有機薄膜(発光層)523上には、対向電極524が設けられている。

【0157】そして、画素電極509、有機導電体膜522、有機薄膜(発光層)523及び対向電極524との積層体が発光素子に相当する。発光素子から発せられる光は、基板500に向かって発せられる場合と、基板500と反対方向に発せられる場合がある。前者は下面出射と称され、後者は上面出射と称されており、下面出射の場合は、画素電極509が陽極に相当し対向電極5

24が陰極に相当する。また上面出射の場合は、画素電極509が陰極に相当し対向電極524が陽極に相当する。

【0158】なお有機薄膜（発光層）523には、赤、青、緑、白等の光を発する材料を適宜用いることが出来る。そして、白色の光を発する材料を用いて有機薄膜（発光層）523を構成するときには、画素電極509又は対向電極524を透明導電膜で形成し、それに対向する面にカラーフィルターの着色層を配置するとよい。そうすると、白色の材料を用いてもカラー表示を実現することが出来る。

【0159】（実施の形態9）本実施の形態では、本発明の表示装置、発光装置を搭載した電子機器等を、いくつか例示する。

【0160】本発明の表示装置、発光装置を搭載した電子機器として、モニター、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（オーディオコンボ、カーオーディオ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い電子機器については、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図9に示す。

【0161】図9（A）はモニターである。図9（A）に示すモニターは筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を有する。本発明の表示装置、発光装置は表示部2003に用いることができる。なおモニターには、パソコン用、TV放送受信用、広告表示用などのすべての情報表示装置が含まれる。

【0162】図9（B）はデジタルスチルカメラである。図9（B）に示すデジタルスチルカメラは、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含んでいる。本発明の表示装置、発光装置は表示部2102に用いることができる。

【0163】図9（C）はノート型パーソナルコンピュータである。図9（C）に示すノート型パーソナルコンピュータは、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含んでいる。本発明の表示装置、発光装置は表示部2203に用いることができる。

【0164】図9（D）はモバイルコンピュータである。図9（D）に示すモバイルコンピュータは、本体2

301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含んでいる。本発明の表示装置、発光装置は表示部2302に用いることができる。

【0165】図9（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）である。図9（E）に示すDVD再生装置は、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読込み部2405、操作キー2406、スピーカー部2407等を含んでいる。本発明の表示装置、発光装置は、表示部A2403、表示部B2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0166】図9（F）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）である。図9（F）に示すディスプレイは、本体2501、表示部2502、アーム部2503等を含んでいる。本発明の表示装置、発光装置は表示部2502に用いることができる。

【0167】図9（G）はビデオカメラである。図9（G）に示すビデオカメラは、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含んでいる。本発明の表示装置、発光装置は表示部2602に用いることができる。

【0168】図9（H）は携帯電話である。図9（H）に示す携帯電話は、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含んでいる。本発明の表示装置、発光装置は表示部2703に用いることができる。なお、表示部2703は黒色背景に白色文字を表示することで、携帯電話の消費電力を抑制することができる。

【0169】将来に自発光素子の発光輝度を安定的に高くすることが可能となれば、本発明の表示装置、発光装置から出力した画像情報を含む光をレンズ等で拡大投影して、フロント型又はリア型のプロジェクターに用いることもできる。

【0170】このように、本発明の適用範囲は極めて広く、あらゆる分野の電子機器等に使用することが可能である。

【0171】

【発明の効果】本発明はAM型表示装置、発光装置において、各画素に設置される駆動用素子を複数のトランジスタにより構成する。その上で、画素にデータ電流を読込むときには該複数のトランジスタを並列接続状態にし、自発光素子を発光させるときには該複数のトランジスタを直列接続状態にする。このように、駆動用素子を構成する複数のトランジスタの接続状態を、並列または直列と適宜切替えることを特徴とする。その結果、次の

ような効果が生じる。

【0172】まず、同一画素内の駆動用素子を構成する複数のトランジスタさえ、バラつきがなければ、表示画面全体で発光輝度のムラが現れてしまうという、表示品位上の重大な欠陥を回避することができる。すなわち、各画素に設置されるトランジスタの電気的特性は、基板全体にわたって観察すると、かなりのバラつきをもつ。このバラつきが自発光素子の駆動電流 I_e に反映されて、表示画面全体で発光輝度のムラとなってしまうのを防止することができる。ただし、図10(A)のような

カレントミラーを用いた画素回路の場合においても、同一画素内のカレントミラーの二つのトランジスタさえバラつきがなければ、表示画面全体で発光輝度のムラとなるのを防止することができる。この点で本発明は、図10(A)のようなカレントミラーを用いた画素回路の場合と同様の効果を有する。

【0173】しかし、図10(A)のようなカレントミラーを用いた画素回路の場合、同一画素内のカレントミラーの2つのトランジスタ間にバラつきが存在してしまうと、結局発光輝度が画素間で異なってしまうのを防止することができなくなる。その点、本発明の場合では、同一画素内の駆動用素子を構成する複数のトランジスタ間にバラつきが存在しても、その影響は小さく抑制されるため、実用上問題となるほど画素間で発光輝度がバラついてしまうことは防止することができる。

【0174】また、図10(B)のような画素回路の場合、画素間で発光輝度がバラついてしまうのを防止することができる。しかしながら、図10(B)の画素回路の場合には、画素に書込むデータ電流 I_d と、自発光素子を発光させるときの自発光素子の駆動電流 I_e との比

【0175】本発明は以上のような利点を有することか*

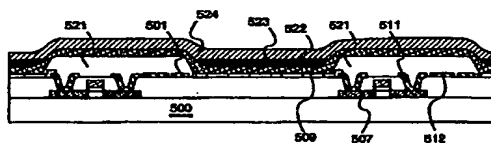
*ら、実用的なAM型表示装置、発光装置を製造する上で、重要な技術である。

【0176】また図13の測定結果より、交流駆動を行った自発光素子は、直流駆動を行った自発光素子よりも信頼性が高いことが分かる。そこで本発明は、フレーム期間の所定の期間において交流駆動を行うことによって、自発光素子の信頼性が改善された表示装置、発光装置を提供する。

【図面の簡単な説明】

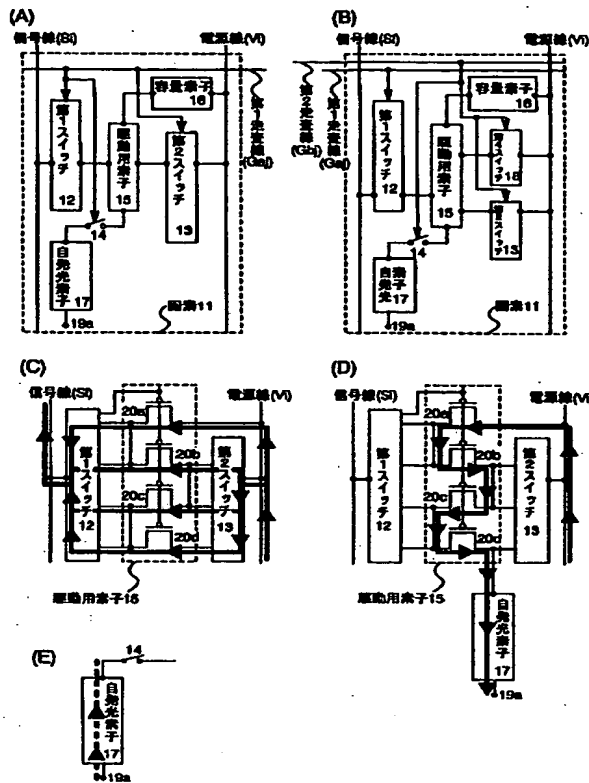
- 【図1】 本発明の表示装置、発光装置の画素を示す図。
- 【図2】 本発明の表示装置、発光装置の画素を示す図。
- 【図3】 本発明の表示装置、発光装置の画素を示す図。
- 【図4】 本発明の表示装置、発光装置の画素を示す図。
- 【図5】 本発明の表示装置、発光装置の画素における電流の経路を示す図。
- 【図6】 本発明の表示装置、発光装置の画素の平面レイアウトを示す図。
- 【図7】 本発明の表示装置、発光装置を示す図。
- 【図8】 駆動用素子を構成するトランジスタの特性を示す図。
- 【図9】 本発明の表示装置、発光装置を適用した電子機器を示す図。
- 【図10】 公知の表示装置、発光装置の画素を示す図。
- 【図11】 本発明の表示装置、発光装置の画素を示す図。
- 【図12】 本発明の表示装置、発光装置の画素を示す図。
- 【図13】 自発光素子の輝度と時間の関係を示す図。
- 【図14】 本発明の表示装置、発光装置の断面構造を示す図。

【図14】

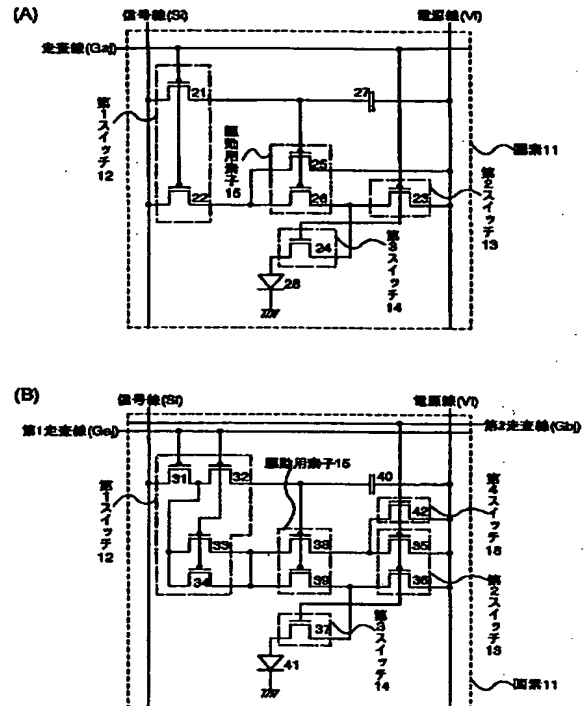


500 : 基板
501 : 画素電極
502 : 有機EL層
503 : 有機EL層
504 : 有機EL層
505 : 有機EL層
506 : 有機EL層
507 : 有機EL層
508 : 有機EL層
509 : 有機EL層
510 : 有機EL層
511 : 有機EL層
512 : 有機EL層

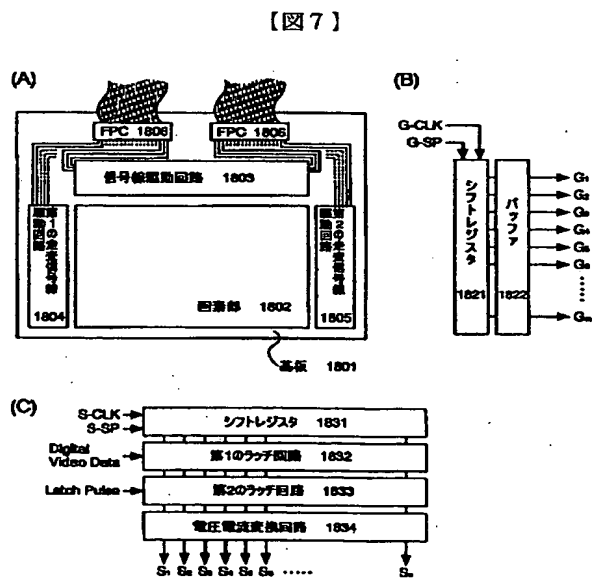
【図1】



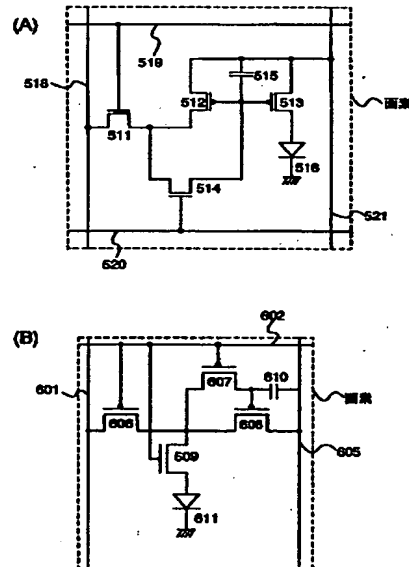
【図2】



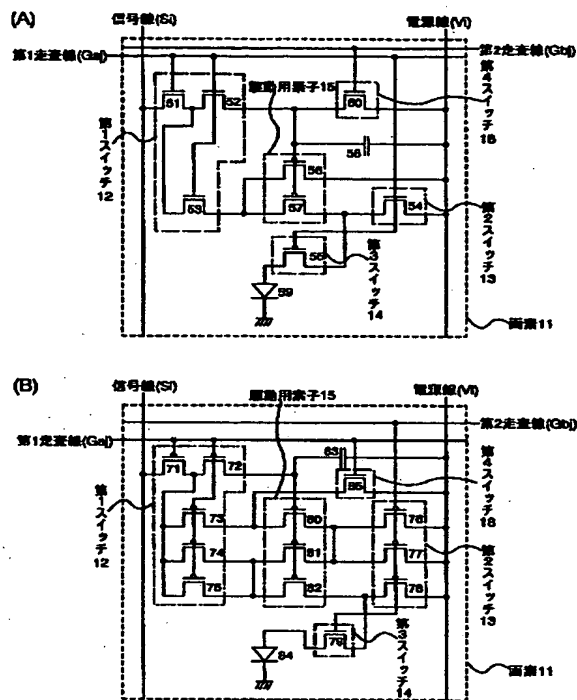
【図10】



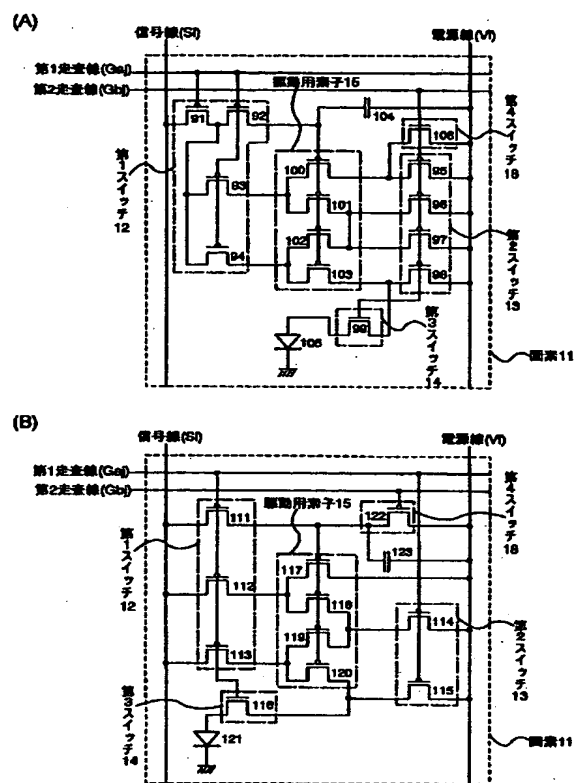
【図7】



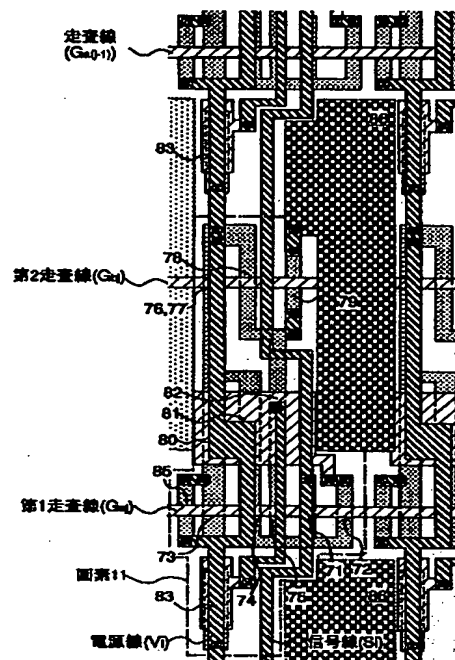
【図3】



【図4】

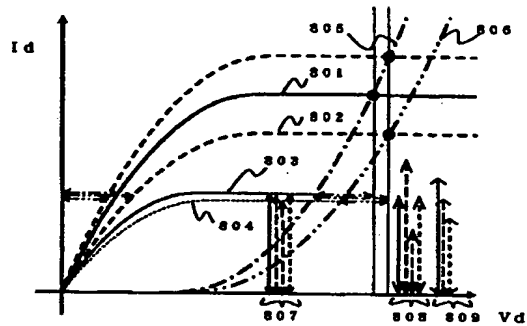


【図6】

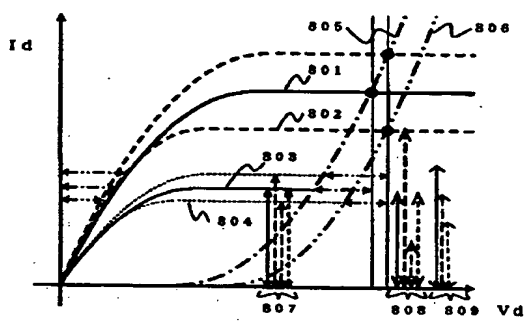


【図8】

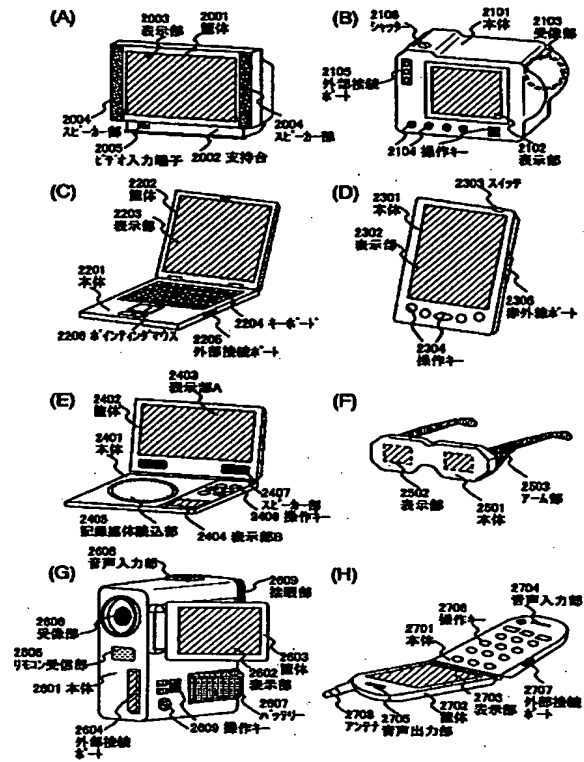
(A) キャリヤ移動度のばらつきが大きい例



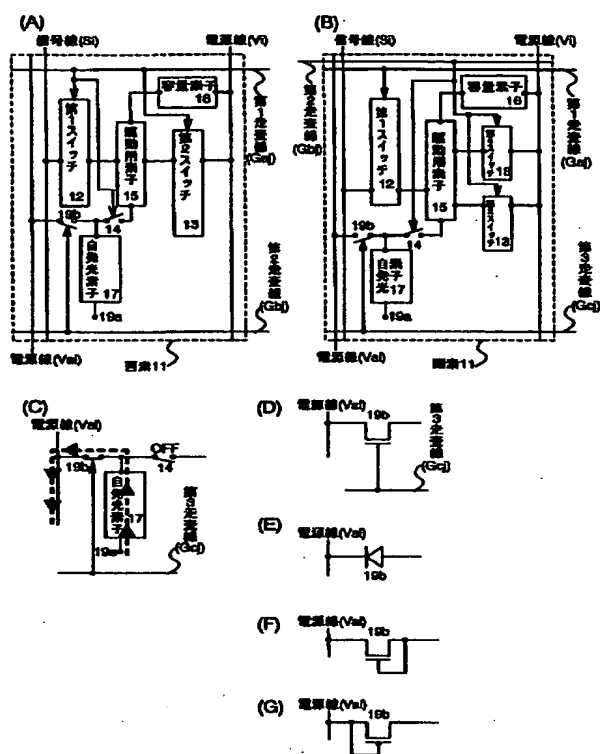
(B) しきい値のばらつきが大きい例



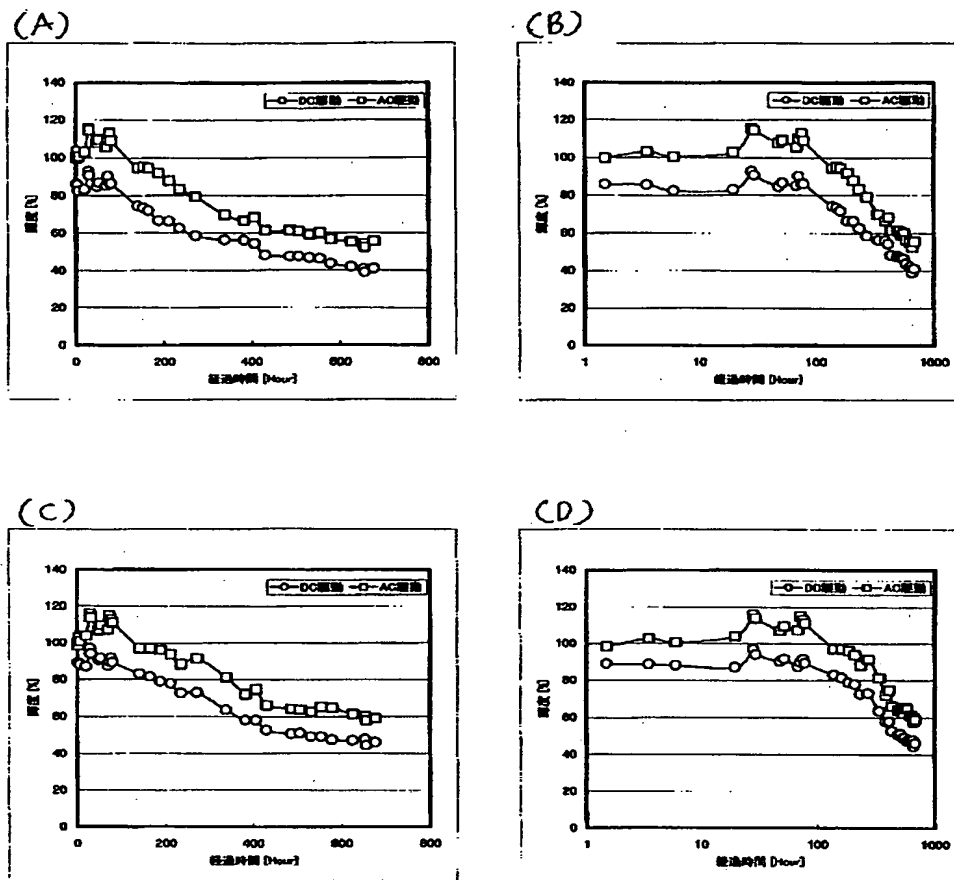
【図9】



【図11】



【図13】



フロントページの続き

(51)Int.Cl.

H05B 33/14

識別記号

F I

H05B 33/14

ターム (参考)

A

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

Fターム(参考) 3K007 AB11 AB17 DB03 GA04

5C080 AA06 AA18 BB05 DD05 EE28

FF11 JJ02 JJ03 JJ05 JJ06

KK02 KK07 KK43 KK47